

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-339769

(43)Date of publication of application : 22.12.1998

(51)Int.Cl.

G01R 31/319

G01R 31/28

(21)Application number : 09-151261

(71)Applicant : NEC CORP

(22)Date of filing : 09.06.1997

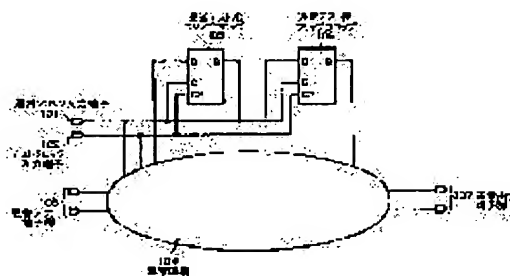
(72)Inventor : YAMAUCHI TAKASHI

## (54) DELAY TESTING METHOD AND FLIP FLOP USED FOR IT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To perform the high-speed delay test of an LSI with a tester having a low operating frequency without changing the normal circuit design method by using an FF that results in single-phase operation on normal operation and bi-phase operation on testing and reducing the difference between the output timing of a clock and the input edge timing.

**SOLUTION:** In a single-phase operation for synchronizing input and output timings to the same clock edge on normal operation, an FF for performing bi-phase operation where input and output timings are synchronized to each different clock edge on testing is used for testing the delay between FFs. The design system of a normal circuit is as conventional, no other overhead is accompanied since only the FF configuration is changed, the difference between the timing of the edge of a block used for synchronizing output and the timing of the edge used for synchronizing input is used, and the difference between the output and input edges of the clock is reduced to judge the result of the delay test, thus achieving a delay test speedily without increasing the clock frequency of a tester.



## LEGAL STATUS

[Date of request for examination] 09.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2953435

[Date of registration] 16.07.1999

[Number of appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

16.07.2003

# BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-339769

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.<sup>6</sup>

G 0 1 R 31/319  
31/28

識別記号

F I

G 0 1 R 31/28

R  
G

審査請求 有 請求項の数5 O L (全 13 頁)

(21) 出願番号 特願平9-151261  
(22) 出願日 平成9年(1997)6月9日

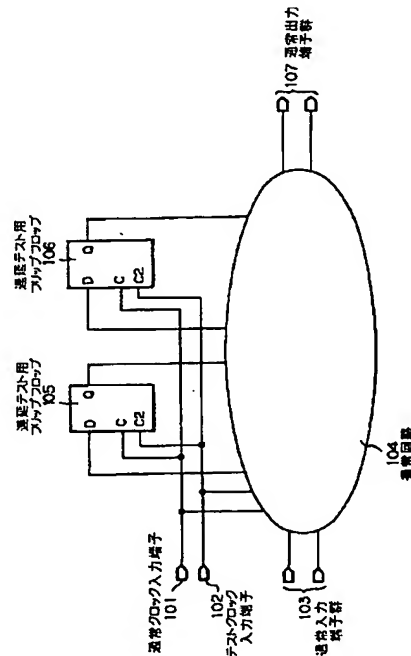
(71) 出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72) 発明者 山内 尚  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 遅延テスト方法および該遅延テスト方法に使用するフリップフロップ

(57) 【要約】

【課題】 通常回路の設計法を変更することなく、動作周波数の低いテスターで、高速なLSIの遅延テストを行う。

【解決手段】 クロック入力CとC2を有するフリップフロップ105と106を使用し、通常動作時に、クロック入力C2のクロックを停止させ、クロック入力Cのクロックの1つのエッジに同期させて入出力する動作とし、遅延テスト時には、両クロックを動作させ、入力と出力のエッジの別々のクロックに同期させる。



PCT

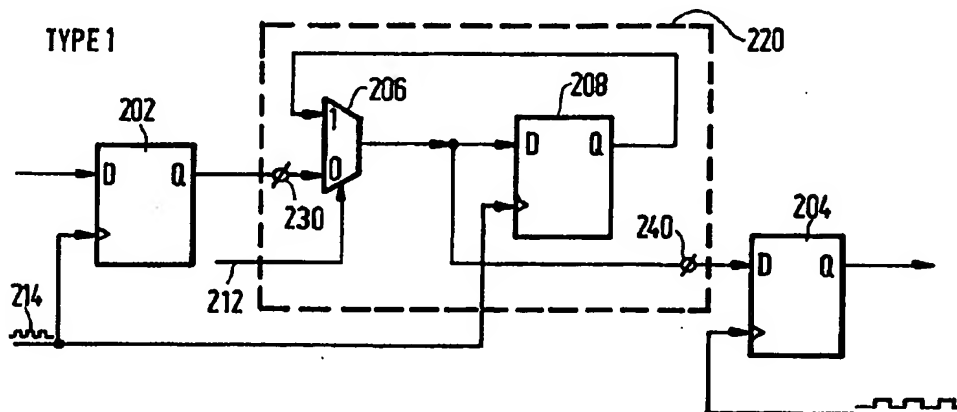
WORLD INTELLECTUAL PROPERTY ORGANIZATION  
International Bureau



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification <sup>6</sup> : <b>G01R 31/3185, G06F 11/267</b>		<b>A1</b>	(11) International Publication Number: <b>WO 98/26301</b>
			(43) International Publication Date: 18 June 1998 (18.06.98)
(21) International Application Number: <b>PCT/IB97/01346</b>		(81) Designated States: JP, KR, European patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) International Filing Date: 27 October 1997 (27.10.97)			
(30) Priority Data: 96203534.1 13 December 1996 (13.12.96) EP (34) Countries for which the regional or international application was filed: NL et al.		<b>Published</b> <i>With international search report. Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i>	
(71) Applicant: PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).			
(71) Applicant (for SE only): PHILIPS NORDEN AB [SE/SE]; Kottbygatan 7, Kista, S-164 85 Stockholm (SE).			
(72) Inventors: MEIRLEVEDE, Johan, Corneel; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). BOS, Gerardus, Arnoldus, Antonius; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). JACOBS, Jacobus, Adrianus, Maria; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). LOUSBERG, Guillaume, Elisabeth, Andreas; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).			
(74) Agent: KOPPEN, Jan; Internationaal Octrooibureau B.V., P.O. Box 220, NL-5600 AE Eindhoven (NL).			

(54) Title: INTEGRATED CIRCUIT COMPRISING A FIRST AND A SECOND CLOCK DOMAIN AND A METHOD FOR TESTING SUCH A CIRCUIT



(57) Abstract

The invention relates to an integrated circuit, comprising a number of independent clock domains. Seam circuits are provided in the interface signals paths between the clock domains in order to be able to isolate clock domains from each other during testing. Each seam circuit comprises a feedback loop having a multiplexer and a flip-flop feeding a first input of the multiplexer, a second input of the multiplexer being connected to the seam input, an output of the feedback loop being connected to the output; so that a first state of the multiplexer allows loading of a data bit in the feedback loop via the seam input, and a second state of the multiplexer freezes the data bit in the feedback loop.

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2000-506985

(P2000-506985A)

(43) 公表日 平成12年6月6日 (2000. 6. 6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 1 R 31/28		G 0 1 R 31/28	G
G 0 6 F 11/22	3 6 0	G 0 6 F 11/22	3 6 0 P

審査請求 未請求 予備審査請求 未請求 (全 28 頁)

(21) 出願番号 特願平10-526405  
(86) (22) 出願日 平成9年10月27日 (1997. 10. 27)  
(85) 翻訳文提出日 平成10年8月13日 (1998. 8. 13)  
(86) 国際出願番号 P C T / I B 9 7 / 0 1 3 4 6  
(87) 国際公開番号 W O 9 8 / 2 6 3 0 1  
(87) 国際公開日 平成10年6月18日 (1998. 6. 18)  
(31) 優先権主張番号 9 6 2 0 3 5 3 4 . 1  
(32) 優先日 平成8年12月13日 (1996. 12. 13)  
(33) 優先権主張国 ヨーロッパ特許庁 (E P)  
(81) 指定国 E P (A T , B E , C H , D E ,  
D K , E S , F I , F R , G B , G R , I E , I T , L  
U , M C , N L , P T , S E ) , J P , K R

(71) 出願人 コーニンクレッカ フィリップス エレク  
トロニクス エヌ ヴィ  
オランダ国 5621 ベーアー アイन्दー  
フェン フルーネヴァウツウェッハ 1  
(72) 発明者 メイールフェーデ ヨハン コルネール  
オランダ国 5656 アーアー アイन्दー  
フェン プロフ ホルストラーン 6  
(72) 発明者 ボス ヘラルダス アーノルダス アント  
ニウス  
オランダ国 5656 アーアー アイन्दー  
フェン プロフ ホルストラーン 6  
(74) 代理人 弁理士 杉村 暁秀 (外5名)

最終頁に続く

(54) 【発明の名称】 第1および第2クロック領域を具える集積回路と、このような回路を試験する方法

(57) 【要約】

本発明は、多数の別々のクロック信号領域を具える集積回路に関係する。試験中にクロック領域を互いに分離できるようにするために、クロック領域間のインタフェース信号経路にシーム回路を設ける。各々のシーム回路は、マルチプレクサと、このマルチプレクサの第1入力部に供給するフリップフロップとを有するフィードバックループを具え、前記マルチプレクサの第2入力部をシーム入力部に接続し、前記フィードバックループの出力部を前記シーム回路の出力部に接続し、前記マルチプレクサの第1状態が、データビットの前記フィードバックループへの前記シーム入力部を経てのロードを可能にし、前記マルチプレクサの第2状態が、前記データビットを前記フィードバックループにおいて固定するようにした。

